

FEEDBACK AMPLIFIER CIRCUIT

Publication number: JP10242773
Publication date: 1998-09-11
Inventor: KATAYANAGI TETSUO; KOBAYASHI NOBUO
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- international: H03G3/30; H03G3/30; (IPC1-7): H03F3/08; H03G3/30
- european: H03G3/30F
Application number: JP19970043911 19970227
Priority number(s): JP19970043911 19970227

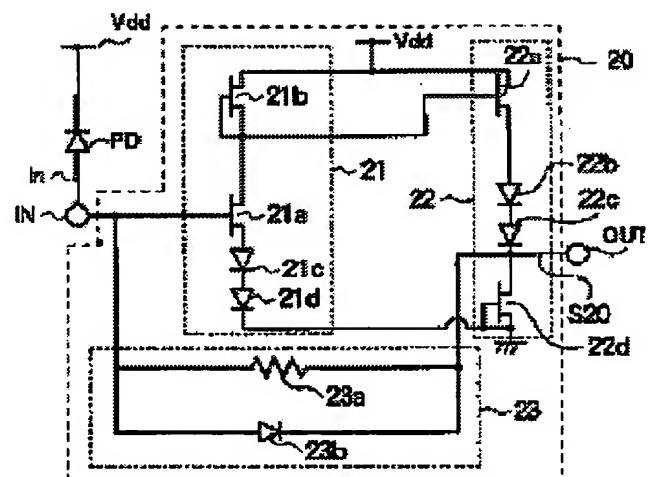
Also published as:



Abstract of JP10242773

PROBLEM TO BE SOLVED: To realize the feedback amplifier circuit in which no external gain adjustment is required.

SOLUTION: When an input current (i_{in}) is supplied from a photodetector PD, a gate level of a FET 21a rises, a source level of a FET 21b is decreased and a gate level of a FET 22a is decreased. Then a source level of the FET 22a and a cathode level of diodes 22b, 22c are reduced and an output voltage S20 is reduced. When the input current (i_{in}) is reduced, the output voltage S20 rises conversely. When the input current (i_{in}) is small, the impedance of a diode 23b is negligible with respect to a feedback resistor 23a. Thus, the output voltage S20 nearly equal to a product between the resistance of the feedback resistor 23a and the input current (i_{in}) is obtained. When the input current (i_{in}) is increased, the impedance of the diode 23b is reduced and the impedance of a feedback resistor 23 is reduced. Thus, the output voltage S20 nearly equal to a product between the impedance of the diode 23b and the input current (i_{in}) is obtained. Thus, the feedback amplifier circuit with a wide dynamic range is realized.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-242773

(43)公開日 平成10年(1998)9月11日

(51) Int.Cl.⁶

H 03 F 3/08

H 03 G 3/30

識別記号

F I

H 03 F 3/08

H 03 G 3/30

B

審査請求 未請求 請求項の数3 O.L (全7頁)

(21)出願番号

特願平9-43911

(22)出願日

平成9年(1997)2月27日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 片柳 哲夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 小林 信夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 柿本 恭成

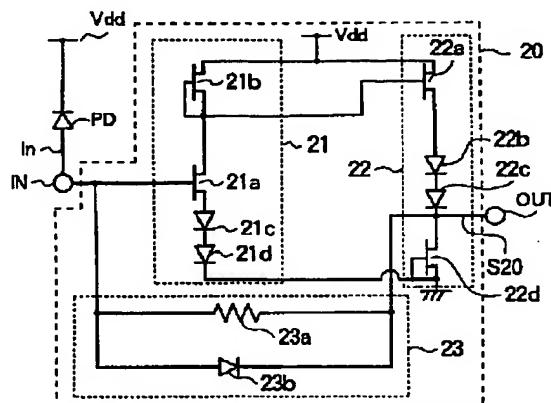
(54)【発明の名称】 帰還増幅回路

(57)【要約】

【課題】 外部から利得調整を行う必要のない帰還増幅回路を実現する。

【解決手段】 受光素子PDから入力電流inが流れると、FET21aのゲート電位が上昇してFET21bのソース電位が低下し、FET22aのゲート電位が低下する。すると、FET22aのソース電位及びダイオード22b, 22cのカソード電位が低下し、出力電圧S20が低下する。入力電流inが減少すると、逆に出力電圧S20が上昇する。入力電流inが小さい時、ダイオード23bのインピーダンスは帰還抵抗23aに対して無視できる。そのため、帰還抵抗23aの値と入力電流inとの積にほぼ等しい出力電圧S20が得られる。

入力電流inが増加した時、ダイオード23bのインピーダンスが低下し、帰還回路23のインピーダンスが減少する。そのため、入力電流inとダイオード23bのインピーダンスとの積にほぼ等しい出力電圧S20が出力される。従って、ダイナミックレンジの広い帰還増幅回路を実現できる。



PD:受光素子 22:出力部 23:帰還回路
21:増幅部 22a:FET 23a:帰還抵抗
21a:FET 22b:ダイオード 23b:ダイオード
21b:FET 22c:ダイオード IN:入力端子
21c:ダイオード 22d:FET OUT:出力端子
21d:ダイオード Vdd:電源電位

本発明の第1の実施形態の帰還増幅回路

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 入力端子に流入する入力電流の値と帰還回路のインピーダンスとの積に比例した電圧の出力信号を出力する帰還増幅回路において、
前記入力端子の電圧を增幅する增幅部と、
前記增幅部の出力電圧を前記出力信号として出力端子から出力する出力部とを備え、
前記帰還回路は、
前記出力端子と前記入力端子との間に接続され、該出力端子から該入力端子に対する前記出力信号の電圧の帰還量を設定する帰還抵抗と、
前記帰還抵抗に並列接続され、前記入力電流の値に応じてインピーダンスが変化することによって前記帰還量を調整するダイオードとを、
備えたことを特徴とする帰還増幅回路。

【請求項2】 入力端子に流入する入力電流の値と帰還回路のインピーダンスとの積に比例した電圧の出力信号を出力する帰還増幅回路において、
前記入力端子の電圧を增幅する增幅部と、
前記增幅部の出力電圧を前記出力信号として第1の出力端子から出力し、かつ該出力電圧のレベルを任意量シフトして第2の出力端子から出力するレベルシフト部とを備え、
前記帰還回路は、
前記第1の出力端子と前記入力端子との間に接続され、該第1の出力端子から該入力端子に対する前記出力信号の電圧の帰還量を設定する帰還抵抗と、
前記第2の出力端子と前記入力端子との間に接続されて順方向にバイアスされ、前記入力電流の値に応じてインピーダンスが変化することによって前記帰還量を調整するダイオードとを、
備えたことを特徴とする帰還増幅回路。

【請求項3】 入力端子に流入する入力電流の値と帰還回路のインピーダンスとの積に比例した電圧の出力信号を出力する帰還増幅回路において、
前記入力端子の電圧を予め設定したレベルだけシフトして出力する入力レベルシフト部と、
前記入力レベルシフト部の出力電圧を增幅する增幅部と、
前記增幅部の出力電圧を前記出力信号として第1の出力端子から出力し、かつ該出力電圧のレベルを任意量シフトして第2の出力端子から出力するレベルシフト部とを備え、
前記帰還回路は、

前記第1の出力端子又は前記增幅部の出力側と前記入力端子との間に接続され、該第1の出力端子又は該增幅部の出力側から該入力端子に対する前記出力信号の電圧の帰還量を設定する帰還抵抗と、
前記第2の出力端子と前記入力端子との間に接続されて順方向にバイアスされ、前記入力電流の値に応じてイン

ピーダンスが変化することによって前記帰還量を調整するダイオードとを、
備えたことを特徴とする帰還増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば高速光通信システムにおける光受信器等の前置増幅器として用いられる帰還増幅回路に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば、次のような文献に記載されるものがあった。

文献；特開昭57-194613号公報

図2は、前記文献に記載された従来の帰還増幅回路の一例を示す概略の回路図である。この帰還増幅回路10は、電源電位Vddに接続された受光素子PDのカソード電流を入力電流inとして入力する入力端子INを有している。入力端子INは、NPN型のトランジスタ11のベースに接続されている。トランジスタ11のコレクタは、抵抗12を介して電源電位Vddに接続されると共に、NPN型のトランジスタ13のベースに接続されている。トランジスタ13のコレクタは電源電位Vddに接続されている。トランジスタ13のエミッタは、出力端子OUTに接続されると共に、抵抗14を介してグランドに接続されている。又、トランジスタ11のエミッタは、グランドに接続されている。更に、出力端子OUTは、帰還回路15中の抵抗15aを介してトランジスタ11のベースに接続されている。又、帰還回路15中のNPN型のトランジスタ15bのエミッタは出力端子OUTに接続され、該トランジスタ15bのコレクタがトランジスタ11のベースに接続されている。トランジスタ15bのベースには、帰還量を調整するための制御信号Vcが外部から入力されるようになっている。

【0003】光受信器等の前置増幅器として用いられる帰還増幅器回路としては、この図2に示すように、トランジスタ11を用いたエミッタ接地回路にトランジスタ13を用いたコレクタ接地回路を接続し、このコレクタ接地回路の出力信号S10を帰還抵抗15a及びトランジスタ15bからなる帰還回路15を介して前記エミッタ接地回路の入力側（即ち、トランジスタ11のベース）に帰還するようにしたトランスインピーダンスアンプが用いられる。この帰還増幅回路は、受光素子PDのカソード電流（即ち、入力電流in）を電圧に変換する機能を有するので、出力電圧S10の入力電流inに対する比（以下、これをトランスインピーダンスという）がこの帰還増幅回路の効率を示すパラメータとなる。このトランスインピーダンスは、帰還抵抗15aとトランジスタ15bとの並列回路の抵抗値とほぼ等しくなる。そのため、制御信号Vcを可変してトランジスタ15aのコレクタとエミッタとの間のインピーダンスを変化させることにより、トランスインピーダンスを調整すること

とができる。

【0004】次に、図2の動作を説明する。制御信号Vcの電位が低い場合には、トランジスタ15bはオフ状態であり、コレクタとエミッタとの間のインピーダンスが十分に大きく、開放とみなせるため、トランジスインピーダンスはほぼ抵抗15aの抵抗値と等しくなる。又、制御信号Vcを上昇させるとトランジスタ15bがオン状態になり、コレクタとエミッタとの間のインピーダンスが低下するので、帰還抵抗値が等価的に小さくなり、トランジスインピーダンスが低下する。そのため、この帰還増幅回路は、制御信号Vcによって利得が制御される。従って、この帰還増幅回路では、入力電流inの大きさに応じて制御信号Vcを変化させることにより、出力電圧S10が飽和しないように利得を制御でき、ダイナミックレンジを広くできる。

【0005】

【発明が解決しようとする課題】しかしながら、従来の図2の帰還増幅回路では、次のような課題があった。図2の帰還増幅回路においてダイナミックレンジを広くするためには、入力電流inのレベルに応じて制御信号Vcを設定して出力電圧S10が飽和しないようにする必要があり、この制御信号Vcを外部から供給しなければならないという問題点があった。

【0006】

【課題を解決するための手段】前記課題を解決するために、本発明のうちの第1の発明は、入力端子に流入する入力電流の値と帰還回路のインピーダンスとの積に比例した電圧の出力信号を出力する帰還増幅回路において、次のような手段を備えている。前記入力端子の電圧を増幅する増幅部と、前記増幅部の出力電圧を前記出力信号として出力端子から出力する出力部とを備えている。又、前記帰還回路は、前記出力端子と前記入力端子との間に接続され、該出力端子から該入力端子に対する前記出力信号の電圧の帰還量を設定する帰還抵抗と、前記帰還抵抗に並列接続され、前記入力電流の値に応じてインピーダンスが変化することによって前記帰還量を調整するダイオードとを備えている。

【0007】この第1の発明によれば、以上のように帰還増幅回路を構成したので、入力端子に入力電流が流入すると、入力端子の電圧は増幅部で増幅される。増幅部の出力電圧は出力端子から出力信号として出力される。この入力電流が小さい場合、ダイオードに掛かる電圧が小さいので、ダイオードのインピーダンスは帰還抵抗に比べて十分大きくなり、ほぼ開放状態になって無視できる。そのため、帰還抵抗の抵抗値と入力電流との積にはほぼ等しいレベルの出力電圧がOutput信号として出力される。一方、前記入力電流が増加した場合、ダイオードに掛かる電圧が大きくなつて該ダイオードに流れる電流が増加するので、ダイオードのインピーダンスが低下する。そのため、帰還回路のインピーダンスは入力電流の

増加に従つて減少し、該入力電流とダイオードのインピーダンスとの積にはほぼ等しいレベルの出力電圧がOutput信号として出力される。

【0008】第2の発明では、入力端子に流入する入力電流の値と帰還回路のインピーダンスとの積に比例した電圧の出力信号を出力する帰還増幅回路において、次のような手段を備えている。前記入力端子の電圧を増幅する増幅部と、前記増幅部の出力電圧を前記出力信号として第1の出力端子から出力し、かつ該出力電圧のレベルを任意量シフトして第2の出力端子から出力するレベルシフト部とを備えている。又、前記帰還回路は、前記第1の出力端子と前記入力端子との間に接続され、該第1の出力端子から該入力端子に対する前記出力信号の電圧の帰還量を設定する帰還抵抗と、前記第2の出力端子と前記入力端子との間に接続されて順方向にバイアスされ、前記入力電流の値に応じてインピーダンスが変化することによって前記帰還量を調整するダイオードとを備えている。この第2の発明によれば、次の点が第1の発明と異なっている。入力電流がなくてもダイオードが順方向にバイアスされている。そのため、入力電流が増加した場合、第1の発明の出力電圧よりも小さい振幅の出力電圧から利得の低下が開始する。

【0009】第3の発明では、入力端子に流入する入力電流の値と帰還回路のインピーダンスとの積に比例した電圧の出力信号を出力する帰還増幅回路において、次のような手段を備えている。前記入力端子の電圧を予め設定したレベルだけシフトして出力する入力レベルシフト部と、前記入力レベルシフト部の出力電圧を増幅する増幅部と、前記増幅部の出力電圧を前記出力信号として第1の出力端子から出力し、かつ該出力電圧のレベルを任意量シフトして第2の出力端子から出力するレベルシフト部とを備えている。又、前記帰還回路は、前記第1の出力端子又は前記増幅部の出力側と前記入力端子との間に接続され、該第1の出力端子又は該増幅部の出力側から該入力端子に対する前記出力信号の電圧の帰還量を設定する帰還抵抗と、前記第2の出力端子と前記入力端子との間に接続されて順方向にバイアスされ、前記入力電流の値に応じてインピーダンスが変化することによって前記帰還量を調整するダイオードとを備えている。この第3の発明によれば、次の点が第2の発明と異なっている。入力端子の電圧が入力レベルシフト部でシフトされて増幅部に入力される。そのため、この帰還増幅回路内部の各信号のアースに対する電位が下がるので、より低電圧の電源で動作可能な帰還増幅回路が実現する。従つて、前記課題を解決できるのである。

【0010】

【発明の実施の形態】

第1の実施形態

図1は、本発明の第1の実施形態を示す帰還増幅回路の回路図である。この帰還増幅回路20は、電源電位Vd

d に接続された受光素子PDのカソード電流を入力電流 i_n として入力する入力端子INを有している。入力端子INは、増幅部21中のFET21aのゲートに接続されている。FET21aのドレインは増幅部21中のFET21bのソース及びゲートに接続され、該FET21bのドレインが電源電位Vddに接続されている。FET21aのソースは、増幅部21中の順方向に直列接続されたダイオード21c, 21dを介してグランドに接続されている。この増幅部21は、入力端子INにおける電圧を増幅する機能を有している。又、FET21aのドレインは出力部22中のFET22aのゲートに接続され、該FET22aのドレインが電源電位Vddに接続されている。FET22aのソースは、出力部22中の順方向に直列接続されたダイオード22b, 22cを介して出力端子OUTに接続されると共に、該出力部22中のFET22dのドレインに接続されている。FET22dのソース及びゲートは、グランドに接続されている。ここで、FET22dのドレインとFET21aのソースはほぼ同電位なので、直列接続された前記ダイオード21c, 21dの電圧降下分によって該FET22dのドレインとソース間の電圧が設定されて*

$$Z = V/I = (n k T/q I) \ln(I/I_0) \dots (1)$$

但し、

I ; ダイオードに流れる電流
 V ; ダイオードに掛かる電圧
 q ; 電子電荷 (1.6×10^{-19} (c))

k ; ボルツマン定数

T ; 絶対温度

n ; デバイスによる固有値

I_0 ; 飽和電流密度

次に、図1の動作を説明する。

【0012】受光素子PDに光が照射されてカソード電流(即ち、入力電流 i_n)が流れるとき、FET21aのゲート電位が上昇してドレイン電流が増加する。これに伴い、FET21bの電流も増加して該FET21bのソース電位が低下するので、FET22aのゲート電位が低下する。FET22aのゲート電位の低下に伴い、該FET22aのソース電位及びダイオード22b, 22cのカソード電位が低下し、出力端子OUTから得られる出力電圧 S_20 のレベルが低下する。一方、入力電流 i_n が減少すると上記とは逆の動作を行い、出力電圧 S_20 のレベルが上昇する。つまり、この帰還增幅回路は、出力電圧 S_20 がFET21aのゲート電位とは逆方向に変化する反転増幅器として動作する。そして、入力電流 i_n が小さい場合、ダイオード23bに掛かる電圧が小さいので、図3に示すようにダイオード23bのインピーダンス Z は帰還抵抗23aに比べて十分大きくなり、ほぼ開放状態になって無視することができる。そのため、帰還抵抗23aの抵抗値と入力電流 i_n との積にはほぼ等しいレベルの出力電圧 S_20 が出力される。

*いる。又、直列接続された前記ダイオード22b, 22c電圧降下分によってFET21aのドレインとソース間の電圧が設定されている。出力部22は、増幅部21の出力電圧を出力信号 S_{20} として出力端子OUTから出力する機能を有している。

【0011】更に、出力端子OUTは、帰還回路23中の帰還抵抗23aを介してFET21aのゲートに接続されている。帰還抵抗23aは、入力端子INに対する帰還量を設定する機能を有している。又、帰還回路23中のダイオード23bのカソードは出力端子OUTに接続され、該ダイオード23bのアノードがFET21aのゲートに接続されている。ダイオード23bは、入力電流 i_n の値に応じてインピーダンスが変化することによって入力端子INに対する帰還量を調整する機能を有している。出力端子OUTには、図示しない増幅器が接続されている。図3は、図1中のダイオード23bのインピーダンスの一例を示す特性図であり、縦軸にインピーダンス Z 、及び横軸に電流 I がとられている。この図3では、次式(1)に示すインピーダンス特性が示されている。

$$Z = V/I = (n k T/q I) \ln(I/I_0) \dots (1)$$

【0013】一方、入力電流 i_n が増加した場合、ダイオード23bに掛かる電圧が大きくなっているため、該ダイオード23bに流れる電流が増加するので、図3に示すようにダイオード23bのインピーダンスが低下する。そのため、帰還回路23のインピーダンスは入力電流 i_n の増加に従って減少し、該入力電流 i_n とダイオード23bのインピーダンス Z との積にはほぼ等しいレベルの出力電圧 S_{20} が出力される。従って、ダイナミックレンジの広い、即ち入力電流 i_n が増加しても出力電圧 S_{20} が飽和しない帰還増幅回路が実現する。以上のように、この第1の実施形態では、帰還抵抗23aと並列にダイオード23bを接続することにより、外部に利得調整回路を設けることなく、入力電流 i_n が増加した場合に帰還回路23のインピーダンスを低下させることができる。ダイナミックレンジの広い帰還増幅回路を実現できる。

【0014】第2の実施形態

図4は、本発明の第2の実施形態を示す帰還増幅回路の回路図であり、第1の実施形態を示す図1中の要素と共に通の要素には共通の符号が付されている。この帰還増幅回路20Aでは、図1中の出力部22及び帰還回路23に代えて、異なる構成のレベルシフト部22A及び帰還回路23Aが設けられている。レベルシフト部22Aでは、第1の出力端子OUTと第2の出力端子であるノードNとの間に抵抗22eが接続され、該ノードNにFET22dのドレインが接続されている。出力端子OUTは、帰還回路23A中の帰還抵抗23aを介してFET21aのゲートに接続されている。帰還回路23A中の

ダイオード23bのカソードは、ノードNに接続されている。他は、図1と同様の構成である。この帰還増幅回路20Aの動作では、次の点が図1と異なっている。ダイオード23bのカソードが output 端子OUTよりも低電位のノードNに接続されているので、入力電流inがなくてもダイオード23bには順方向電圧が掛かっている。そのため、入力電流inが増加した場合、図1の出*

$$\begin{aligned} V_{dd} &> FET22d \text{ の } V_{ds} + \text{抵抗 } 22e \text{ の電圧降下} \\ &+ FET21a \text{ の } V_{ds} + FET21b \text{ の } V_{ds} + \text{出力振幅} \end{aligned}$$

... (2)

但し、

 V_{ds} ; ドレインとソースとの間の電圧又、FET21bの V_{ds} はFET22aの V_{ds} とは※

$$\begin{aligned} V_{dd} &> FET22d \text{ の } V_{ds} + \text{抵抗 } 22e \text{ の電圧降下} \\ &+ FET22a \text{ の } V_{ds} + \text{ダイオード } 22b, 22c \text{ の電圧降下} \\ &+ \text{出力振幅} \end{aligned}$$

... (3)

以上のように、この第2の実施形態では、ダイオード23bのカソードを出力端子OUTよりも低電位のノードNに接続したので、入力電流inが増加した場合、図1中の出力電圧S20よりも小さい振幅の出力電圧S20Aから利得を低下させることができ、入力電流inの変化に対して第1の実施形態よりもダイナミックレンジの大きい帰還増幅回路を実現できる。

【0016】第3の実施形態

図5は、本発明の第3の実施形態を示す帰還増幅回路の回路図であり、第2の実施形態を示す図4中の要素と共通の要素には共通の符号が付されている。この帰還増幅回路20Bでは、図4中の增幅部21及びレベルシフト部22Aに代えて、異なる構成の増幅部21A及びレベルシフト部22Bが設けられている。更に、この帰還増幅回路20Bには、入力レベルシフト部24が追加されている。増幅部21A中のFET21aのソースは、順方向に接続されたダイオード21cを介してグランドに接続されている。レベルシフト部22Bでは、レベルシフト部22A中のダイオード22b, 22cが削除され、FET22aのソースが出力端子OUTに接続されている。入力端子INは、入力レベルシフト部24中のFET24aのゲートに接続されている。FET24aのドレインは、電源電位Vddに接続されている。FET24aのソースは、入力レベルシフト部24中の順方向に直列接続されたダイオード24b, 24c, 24dを介して該入力レベルシフト部24中のFET24dのドレインに接続されると共に、FET21aのゲートに接続されている。ここで、ダイオード24b, 24c, 24dの個数は、これらのダイオードによる電圧降下が★

$$\begin{aligned} V_{dd} &> FET24e \text{ の } V_{ds} + FET21a \text{ の } V_{ds} \\ &+ FET21b \text{ の } V_{ds} + \text{出力振幅} \end{aligned}$$

... (4)

以上のように、この第3の実施形態によれば、図4の帰還増幅回路20Aの入力側に入力レベルシフト部24を設けたので、帰還増幅回路20Aよりも電源電位Vdd

* 力電圧S20よりも小さい振幅の出力電圧S20Aから利得を低下させることができ、よりダイナミックレンジの広い帰還増幅回路が実現する。

【0015】次に、帰還増幅回路20Aの内部の各電位について説明する。帰還増幅回路20Aにおける電源電位Vddは、次式(2)を満足することが必要である。

$$\begin{aligned} V_{dd} &> FET22d \text{ の } V_{ds} + \text{抵抗 } 22e \text{ の電圧降下} \\ &+ FET21a \text{ の } V_{ds} + FET21b \text{ の } V_{ds} + \text{出力振幅} \end{aligned}$$

... (2)

※ぼ同じであり、最低限必要なFET21aの V_{ds} がダイオード22b, 22cの電圧降下であることから、電源電位Vddは、次式(3)で表してもよい。

$$\begin{aligned} V_{dd} &> FET22d \text{ の } V_{ds} + \text{抵抗 } 22e \text{ の電圧降下} \\ &+ FET22a \text{ の } V_{ds} + \text{ダイオード } 22b, 22c \text{ の電圧降下} \\ &+ \text{出力振幅} \end{aligned}$$

... (3)

★FET21aのソースとドレイン間に必要とされる電圧には等しくなるように決定する。FET24dのゲート及びソースは、グランドに接続されている。入力レベルシフト部24は、入力端子INの電圧をダイオード24b, 24c, 24dの電圧降下分だけシフトして出力する機能を有している。FET21bのソースは、帰還抵抗23aを介してFET24aのゲートに接続されている。ダイオード23bのアノードは、FET24aのゲートに接続されている。他は、図4と同様の構成である。

【0017】この帰還増幅回路20Bの動作では、次の点が図4と異なっている。一般に、FETが安定な動作をするためには、十分なソース・ドレイン間電圧が必要である。又、増幅回路が円滑に動作するためには、内部の電位の適切な設定が必要である。本実施形態では、入力レベルシフト部24を設けることにより、帰還抵抗23aの両端即ち入力点及び出力点のグランドに対する電位を図4の場合よりも高く設定し、FET22dのドレイン電位を高めてFET22dのソース・ドレイン電圧を大きくしている。そのため、FET22dの動作に余裕ができる。更に、帰還増幅回路20Bの内部の各電位が下がるので、電源電圧Vddを低下させることができる。ここで、帰還増幅回路20Bにおける電源電位Vddは、次式(4)になる。そのため、(2), (3)式に比べ、ほぼ抵抗22eの電圧降下分だけ電源電位Vddを低下させることができる。従って、図4中の電源電位Vddより低い電源電位Vddで動作可能な帰還増幅回路を実現できる。

$$\begin{aligned} V_{dd} &> FET24e \text{ の } V_{ds} + FET21a \text{ の } V_{ds} \\ &+ FET21b \text{ の } V_{ds} + \text{出力振幅} \end{aligned}$$

... (4)

を低下させることができ、より低電圧の電源で動作可能な帰還増幅回路を実現できる。

【0018】尚、本発明は上記実施形態に限定されず、

種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) 各実施形態では、出力端子OUTから出力電圧を取り出しているが、この出力電圧は例えばダイオード22bのカソード側等、出力端子OUT以外の部分から取り出すようにしてもよい。

(b) 第3の実施形態では、帰還抵抗23aの一端はFET21bのソースに接続されているが、これをFT22aのソースに接続してもよい。

(c) 各実施形態の帰還増幅回路20, 20A, 20Bは、内部の各素子を逆極性の素子で構成する回路構成にしてもよい。但し、この場合、受光素子PDのカソードを負の電源電位に接続し、アノードを入力端子INに接続する。

(d) 本発明は、例えばセンサ等のような電流源の出力電流を入力し、電圧に変換して出力する帰還増幅回路全般に適用できる。

【0019】

【発明の効果】以上詳細に説明したように、第1の発明によれば、帰還抵抗と並列にダイオードを接続することにより、外部に利得調整回路を設けることなく、入力電流が増加した場合に帰還回路のインピーダンスを低下させるようにしたので、ダイナミックレンジの広い帰還増幅回路を実現できる。第2の発明によれば、ダイオードを第2の出力端子と入力端子との間に接続して順方向にバイアスするようにしたので、入力電流が増加した場合、第1の発明よりも小さい振幅の出力電圧から利得を低下させることができ、入力電流の変化に対して第1の発明よりもダイナミックレンジの大きい帰還増幅回路を実現できる。第3の発明によれば、第2の発明の帰還増幅回路を実現できる。

* 帰還増幅回路の入力側に入力レベルシフト部を設けたので、帰還増幅回路の電源電位を低下させることができ、より低電圧の電源で動作可能な帰還増幅回路を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の帰還増幅回路の回路図である。

【図2】従来の帰還増幅回路の回路図である。

【図3】図1中のダイオード23bのインピーダンスの特性図である。

【図4】本発明の第2の実施形態の帰還増幅回路の回路図である。

【図5】本発明の第3の実施形態の帰還増幅回路の回路図である。

【符号の説明】

10, 20, 20A, 20B	帰還増幅回路
15, 23, 23A,	帰還回路
15a, 23a	帰還抵抗
21, 21A,	増幅部
22	出力部
22A, 22B	レベルシフト部
23b	ダイオード
24	入力レベルシフ
ト部	
i n	入力電流
I N	入力端子
OUT	出力端子(第1
の出力端子)	
N	ノード(第2の
出力端子)	

【図3】

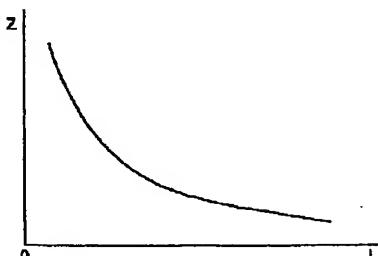
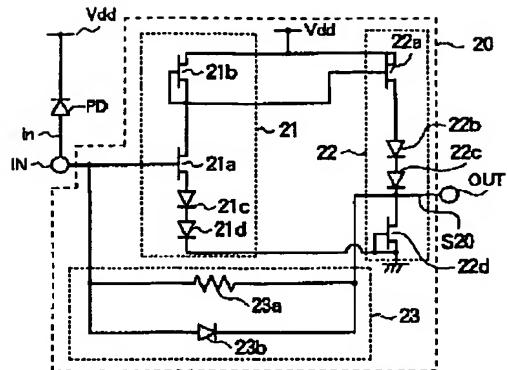


図1中のダイオードのインピーダンス

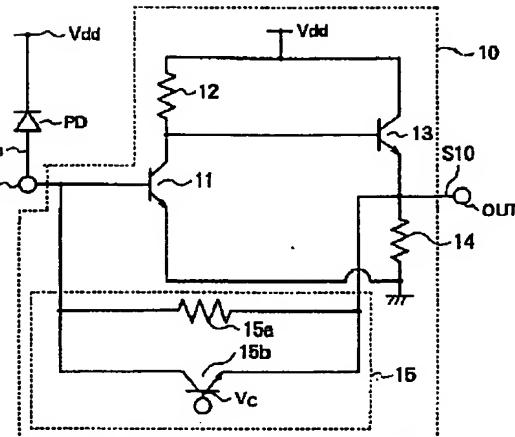
[図 1]



PD : 受光素子	22 : 出力部	23 : 每巡回路
21 : 增幅部	22a : FET	23a : 無通抵抗
21a : FET	22b : ダイオード	23b : ダイオード
21b : FET	22c : ダイオード	IN : 入力端子
21c : ダイオード	22d : FET	OUT : 出力端子
21d : ダイオード		Vdd : 電源電位

本発明の第1の実施形態の帰還増幅回路

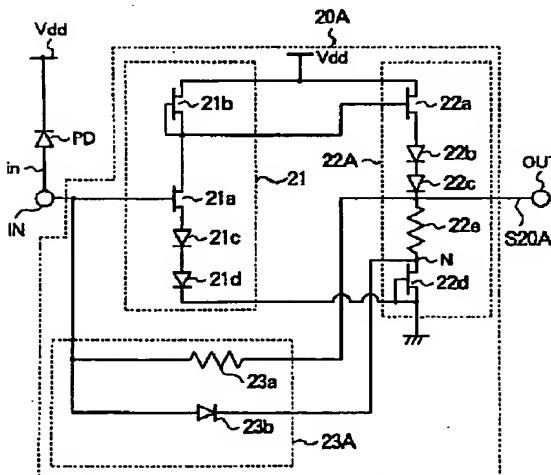
[図2]



PD : 受光素子	12 : 抵抗	Vdd : 電源電位
11 : ワンジスタ	14 : 抵抗	IN : 入力端子
13 : ワンジスタ	15a : 優選抵抗	OUT : 出力端子
15b : ワンジスタ		Vc : 割合信号

従来の帰還増幅回路

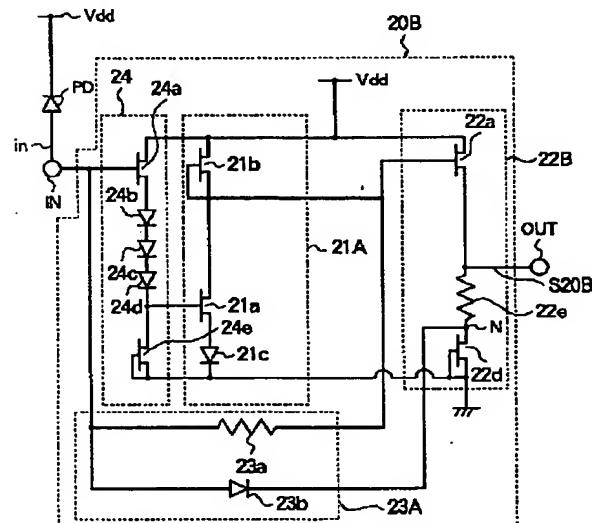
[図4]



PD : 受光素子	22A : レベルシフト部	23A : 暗巡回路
21 : 増幅部	22a : FET	23a : 明巡回抵抗
21a : FET	22b : ダイオード	23b : ダイオード
21b : FET	22c : ダイオード	IN : 入力端子 .
21c : ダイオード	22d : FET	OUT : 出力端子
21d : ダイオード	22e : 抵抗	Vdd : 電源電位

本発明の第2の実施形態の帰還増幅回路

[图 5]



PD : 受光素子	23A : 帰還回路	24c : ダイオード
21A : 増幅部	23a : 延遲抵抗	24d : ダイオード
21a : FET	23b : ダイオード	24e : FET
21b : FET	23e : 抵抗	IN : 入力端子
21c : ダイオード	24 : 入力レベル シフト部	OUT : 出力端子
22B : レベルシフト部		Vdd : 電源電位
22a : FET	24a : FET	
22e : FET	24b : ダイオード	

本発明の第3の実施形態の帰還増幅回路

BEST AVAILABLE COPY